

## 实验 11 逻辑门及组合逻辑电路

## 实验 11a 集成逻辑电路、组合逻辑电路

## 实验目的

1. 掌握与非门、或非门、与或非门及异或门的逻辑功能。
2. 了解三态门的逻辑功能以及禁止状态的判别方法。了解三态门的应用。
3. 掌握组合逻辑电路的设计和实现方法。
4. 了解半加器、全加器的逻辑功能及三变量表决电路的逻辑功能。

## 实验原理说明

门电路是组成逻辑电路的最基本单元，与非门是组成各种组合电路的基本的环节，其他各种类型的电路通常是在与非门的基础上派生而得的。

### 1. 常用门电路的逻辑符号和逻辑函数表达式

表 3. 11a. 1 常用门电路的逻辑符号和逻辑函数表达式

名称	与非门	或非门	与或非门	异或门	三态非门	
逻辑符号						
逻辑表达式	$Y = \overline{ABCD}$	$Y = \overline{A+B}$	$Y = \overline{AB+CD}$	$Y = A \oplus B$	$G=1$ $Y=A$ $G=0$ 禁止	$G=0$ $Y=A$ $G=1$ 禁止

### \*2. 三态门

三态门输出有三种状态，“0”、“1”和“禁止”状态。其逻辑符号及逻辑功能见表 3. 11a. 1。

### 3. 半加器的逻辑功能

在加法运算中，只考虑两个加数本身相加，不考虑从低位来的进位，这种加法器称为半加器。其逻辑状态表见表 3. 11a. 2 中的理论输出。

表 3. 11a. 2 半加器逻辑状态表

输入		理论输出		实验输出	
A	B	S(和)	C(进位)	S(和)	C(进位)
0	0	0	0		
0	1	1	0		
1	0	1	0		
1	1	0	1		

其逻辑函数表达式为

$$S = \overline{AB} + \overline{A}B = A \oplus B$$

$$C = AB$$

选用异或门和与非门元件，则半加器的逻辑图如图 3.11a.1 所示。

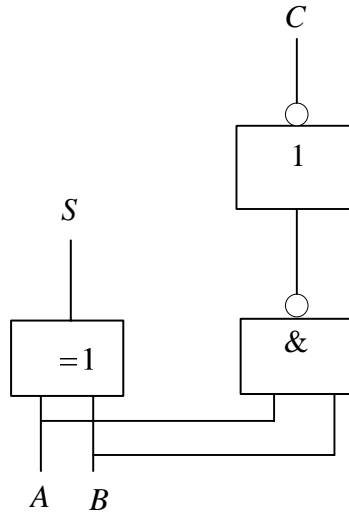


图 3.11a.1 用异或门组成的半加器

#### 4. 全加器

在加法运算中，不但考虑两个加数本身相加，还要考虑从低位来的进位，这种加法器称为全加器。其逻辑状态表见表 3.11a.3 中的理论输出。

表 3.11a.3 全加器逻辑状态表

输 入			理论输出		图 3.11a.2 实验输出		74LS183 实验输出	
加 数		低位来的进位	和	向高位进位	和	向高位进位	和	向高位进位
$A_i$	$B_i$	$C_i$	$S_i$	$C_{i+1}$	$S_i$	$C_{i+1}$	$S_i$	$C_{i+1}$
0	0	0	0	0				
0	0	1	1	0				
0	1	0	1	0				
0	1	1	0	1				
1	0	0	1	0				
1	0	1	0	1				
1	1	0	0	1				
1	1	1	1	1				

根据逻辑状态表得逻辑函数表达式为：

$$\begin{aligned}
 S_i(\text{全加和}) &= \overline{A_i} \overline{B_i} \overline{C_i} + \overline{A_i} \overline{B_i} C_i + \overline{A_i} B_i \overline{C_i} + A_i B_i C_i \\
 &= (A_i \oplus B_i) \overline{C_i} + \overline{A_i} \oplus \overline{B_i} \cdot C_i \\
 &= A_i \oplus B_i \oplus C_i \\
 C_{i+1}(\text{进位}) &= \overline{A_i} B_i C_i + A_i \overline{B_i} C_i + A_i B_i \overline{C_i} + A_i B_i C_i \\
 &= (\overline{A_i} \overline{B_i} + \overline{A_i} B_i) C_i + A_i B_i \\
 &= (A_i \oplus B_i) C_i + A_i B_i \\
 &= \overline{\overline{(A_i \oplus B_i) C_i} \cdot \overline{A_i B_i}}
 \end{aligned}$$

选用异或门和与非门器件，则全加器的逻辑图如图 3.11a.2 所示。

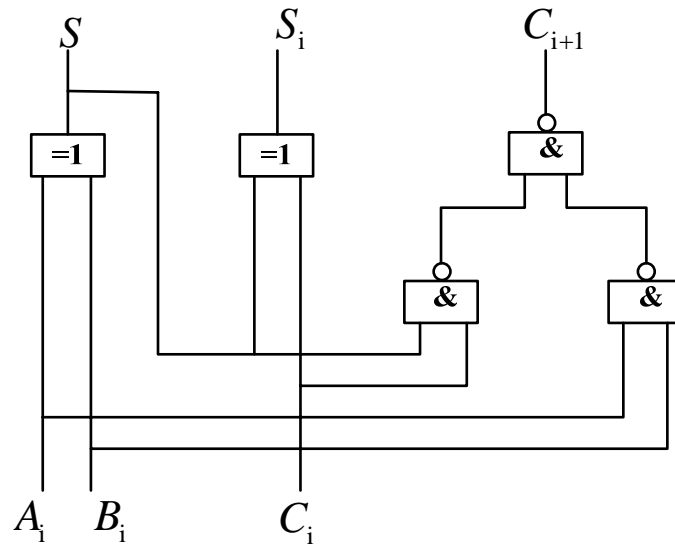


图3.11a.2 用异或门组成的全加器

5. 三变量表决电路的逻辑功能

根据三变量表决的逻辑要求，可得逻辑状态表 3.11a.4。

表 3. 11a. 4 三变量表决电路逻辑状态表

输 入			理论输出	实验输出
A	B	C	Y	Y
0	0	0	0	
1	0	0	0	
0	1	0	0	
1	1	0	1	
0	0	1	0	
1	0	1	1	
0	1	1	1	
1	1	1	1	

从逻辑状态表中得逻辑函数表达式为  $Y = \overline{A}BC + A\overline{B}C + AB\overline{C} + ABC$ ，可化简为

$$Y = AB + BC + AC$$

选用与非门元件，逻辑函数表达式可写为：

$$Y = \overline{\overline{AB + BC + AC}}$$

$$= \overline{\overline{AB} \cdot \overline{BC} \cdot \overline{AC}}$$

逻辑图如图 3.11a.3 所示。

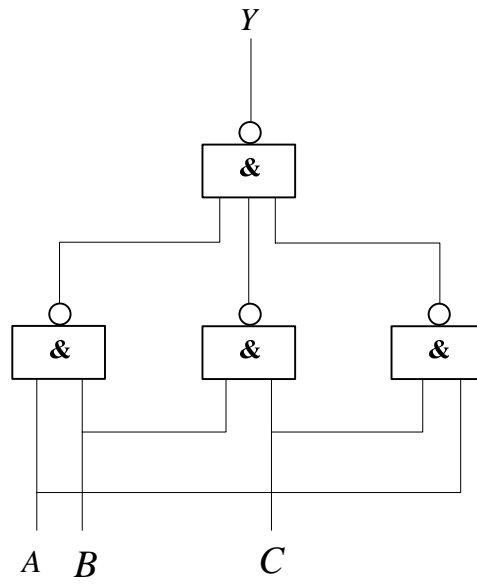


图 3.11a.3 三变量表决电路

## 实验仪器设备

1. 数字集成电路实验板		1 块
2. 直流稳压电源	1A, 5V	1 台
3. 函数信号发生器		1 台
4. 示波器		1 台
5. 附加集成器件		
双 4 输入与非门	74LS20	1 块
四 2 输入与非门	74LS00	1 块
四 2 输入或非门	74LS02	1 块
3-3, 2-2 输入与或非门	74LS51	1 块
四 2 输入异或门	74LS86	1 块
三态门	74LS125	1 块
双全加器	74LS183	1 块



## 实验步骤

### 1. TTL 与非门的逻辑功能测试

在数字集成电路实验板上，配有 74 LS20 双 4 输入与非门集成器件，管脚图如图 3.11a.4 所示。将电源+5V 接到实验板的电源输入接线柱上，则此器件的 14 脚和 7 脚间就有+5V 的电压。将 4 个输入端 A、B、C、D 分别接至实验板的 4 个逻辑开关，输出端 Y 接状态显示灯，按表 3.11a.5 要求，改变输入端 A、B、C、D 状态，分别观察输出端显示灯的状态，将结果填入表 3.1a.5 中。（若输入端为“1”，则将逻辑开关扳向 1，输入端为“0”，则将逻辑开关扳向 0。输出端显示灯亮，则为“1”；显示灯灭，则为“0”。）

根据实验结果写出与非门的逻辑函数表达式。

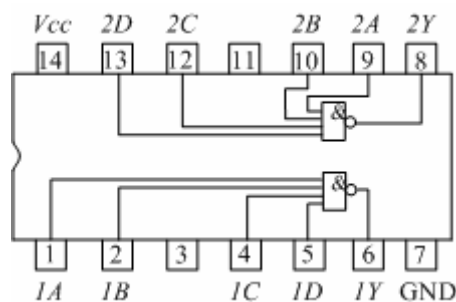


图 3.11a.4 74 LS20 双 4 输入与非门管脚图

表 3.11a.5 4 输入与非门功能测试

输入				输出
A	B	C	D	Y
0	0	0	0	
1	0	0	0	
0	1	0	0	
1	1	0	0	
0	0	1	0	
1	0	1	0	
0	1	1	0	
1	1	1	0	
0	0	0	1	
1	0	0	1	
0	1	0	1	
1	1	0	1	
0	0	1	1	
1	0	1	1	
0	1	1	1	
1	1	1	1	

逻辑函数表达式  $Y =$

在数字集成电路实验板上，配有 74 LS00 四 2 输入与非门集成器件，管脚图如图 3.11a.5 所示。任取一组与非门电路，将一个输入端接函数信号发生器方波输出，一个输入端（控制端）接 0 及 1，用示波器观察并比较控制端为 0 状态及 1 状态下输入和输出的波形。

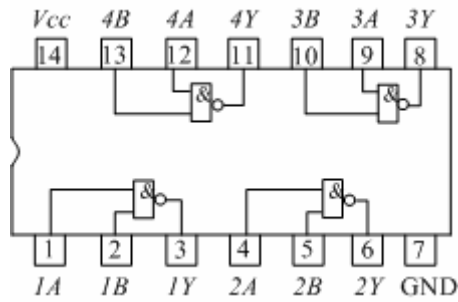


图 3.11a.5 74LS00 四 2 输入与非门管脚图

## 2. 或非门的逻辑功能测试

在数字集成电路实验板上，配有 74LS02 四 2 输入或非门器件，管脚图如图 3.11a.6 所示。任取一组或非门电路，其输入和输出端的接线同与非门实验，改变输入端 A、B 的状态，按表 3.11a.6 的要求进行测试，并将结果填入表 3.11a.6 中，写出逻辑函数表达式。

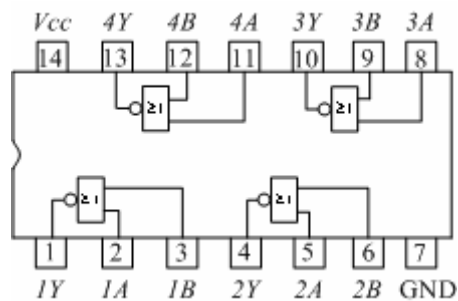


图 3.11a.6 74LS02 四 2 输入或非门管脚图

表 3.11a.6 或非门功能测试

输 入		输 出
A	B	Y
0	0	
1	0	
0	1	
1	1	

逻辑函数表达式  $Y =$

将一个输入端接函数信号发生器方波输出，一个输入端（控制端）接 0 及 1，用示波器观察并比较控制端为 0 状态及 1 状态下输入和输出的波形。

## 3. 与或非门的逻辑功能测试

在数字集成电路实验板上，配有 74LS51 2-2, 3-3 输入与或非门器件，管脚图如图 3.11a.7 所示。选用其中一组 2-2 输入与或非门电路，按表 3.11a.7 的要求进行测试，并将结果填入表 3.11a.7 内，写出逻辑函数表达式。

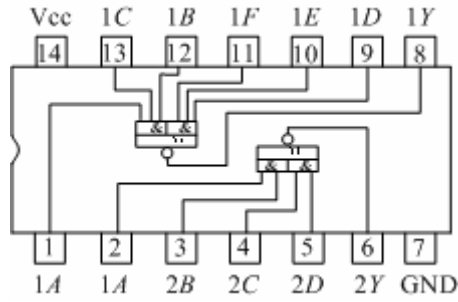


图 3.11a.7 74LS51 与或非门管脚图

表 3.11a.7 与或非门功能测试

输 入				输 出
2A	2B	2C	2D	2Y
0	0	0	0	
1	0	0	0	
0	1	0	0	
1	1	0	0	
0	0	1	0	
1	0	1	0	
0	1	1	0	
1	1	1	0	
0	0	0	1	
1	0	0	1	
0	1	0	1	
1	1	0	1	
0	0	1	1	
1	0	1	1	
0	1	1	1	
1	1	1	1	

逻辑函数表达式  $Y =$

#### 4. 异或门的逻辑功能测试

按表 3.11a.8 的要求, 对数字集成电路实验板上所配的 74LS86 四 2 输入异或门(管脚图见图 3.11a.8)进行测试, 将结果填入表 3.11a.8 中, 并写出逻辑函数表达式。

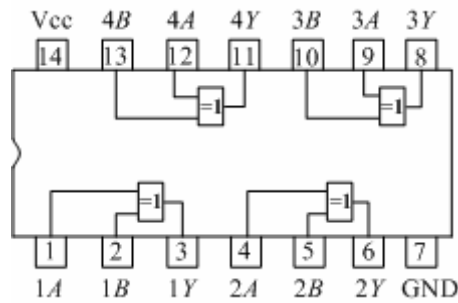


图 3.11a.8 74LS86 四 2 输入异或门管脚图

表 6. 11a. 8 异或门功能测试

输 入		输 出
A	B	Y
0	0	
1	0	
0	1	
1	1	

逻辑函数表达式  $Y =$

将一个输入端接函数信号发生器方波输出，一个输入端（控制端）接 0 及 1，用示波器观察并比较控制端为 0 状态及 1 状态下输入和输出的波形。

5. 三态门的逻辑功能测试

按表 3.11a.9 的要求，对数字集成电路实验板上所配的 74LS125 低电平有效的三态门（管脚见图 3.11a.9）进行测试，将结果填入表 3.11a.9 中，并说明其逻辑功能。

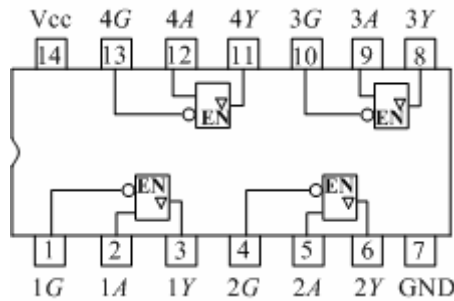


图 3.11a.9 74LS125 三态门管脚图

表 3. 11a. 9 三态门功能测试

使 能 端	输 入	输 出
G	A	Y
0	0	
	1	
1	0	
	1	

逻辑功能： $G=0$  \_\_\_\_\_  $G=1$  \_\_\_\_\_

将一个输入端接函数信号发生器方波输出，一个输入端接 0 及 1，用示波器观察并比较在 0 状态及 1 状态下输入和输出的波形。

6. 三态门的应用

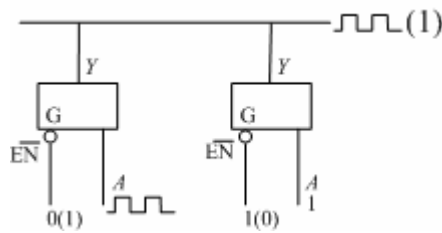


图 3. 11a. 10 三态门的应用

按图 3.11a.10 接线，二个三态门输出端并在一起，一个输入端接方波，一个输入端接

1, 二个使能端中一个接 1, 一个接 0 (不能同时为 0), 用示波器观察输出波形。

### 7. 半加器的逻辑功能

在数字集成电路实验板上, 配有 74LS00 四 2 输入与非门集成器件(管脚见图 3.11a.4) 和 74LS86 四 2 输入异或门器件(管脚见图 3.11a.8), 按图 3.11a.1 接线, 并测试其逻辑功能, 将实验结果填入表 3.11a.2 中。

### 8. 全加器的逻辑功能

选用 74LS00 四 2 输入与非门集成器件和 74LS86 四 2 输入异或门器件, 按图 3.11a.2 接线, 并测试其逻辑功能, 将实验结果填入表 3.11a.3 中。

全加器也可选用 74LS183 双全加器, 管脚图如图 3.11a.11 所示。

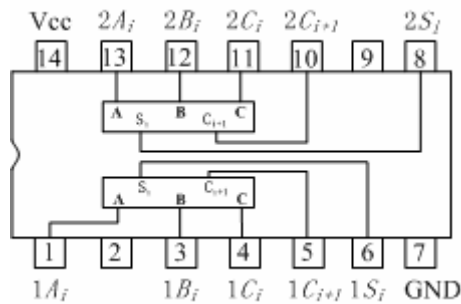


图 3.11a.11 74LS183 双全加器管脚图

选取其中一个全加器, 测试其逻辑功能是否和上述一致。

### 9. 三变量表决电路的逻辑功能

选用 74LS00 四 2 输入与非门集成器件和 74LS20 双 4 输入与非门集成器件, 按图 3.11a.3 接线, 并测试其逻辑功能, 将实验结果填入表 3.11a.4 中。

## 实验报告要求

1. 画出实验逻辑图，列出实验数据表格，填入实验结果，并写出各种门电路的逻辑函数表达式或逻辑功能。
2. 叙述在与非门、或非门、异或门、三态门实验中用示波器观察方波波形的结果，并说明原因。

## 实验现象

1. 与非门实验中，若一个输入端接方波、一个输入端（控制端）接 0 或接 1。控制端接 0 时输出保持 1（高电平）无波形；控制端接 1 时输出为方波，输出波形与输入波形反相。
2. 或非门实验中，控制端接 0 时输出为方波，输出波形与输入波形反相；控制端接 1 时，输出保持 0（低电平）无波形。
3. 异或门实验中，控制端接 0 时输出为方波。输出波形与输入波形同相；控制端接 1 时输出亦是方波，但输出波形与输入波形反相。
4. 三态门实验中，使能端为 0 时三态门有输出，若输入端为方波，则输出为与输入同相的方波；若输入端为 1，则输出亦为 1。但在同一根输出线上并接的所有三态门中，仅允许一个门处于开通状态，其余均应处于禁止状态。

## 实验结果分析

经实验测试，各种门电路逻辑器件及逻辑电路的逻辑功能，其实验输出的结果与理论分析的结果一致，证实了理论分析是正确的。



## 实验相关知识

## 预习要求

1. 复习 TTL 与非门的电路组成、工作原理及性能指标。
2. 复习基本逻辑门电路的逻辑功能，了解其测试方法。
3. 复习组合逻辑电路的一般设计方法。
4. 复习半加器、全加器的逻辑功能。

## 相关知识点

基本门电路	E507010101
逻辑代数	E5070102
组合逻辑电路分析与设计	E5070103
组合逻辑电路分析	E507010301
组合逻辑电路设计	E507010302
加法器	E507010401

## 注意事项

1. 接线前先检查所用导线的好坏，是否有断线。
2. 实验中发现器件工作不正常，应请指导教师复查及更换器件。