

实验 12a 集成触发器、集成计数器及译码显示电路

实验目的

1. 验证基本 RS 、 D 、 JK 触发器的逻辑功能。
2. 了解十进制加法计数器和减法计数器的工作过程。
3. 了解计数、译码、显示电路的工作状态。

实验原理

在数字电路中，除了组合电路以外，还有一种时序电路，它的输出不仅与当前时刻的输入状态有关，而且与电路原来状态有关。而触发器是组成时序电路中存储部分的基本单元，具有保持、记忆、存储功能。它有两个输出端 Q 和 \bar{Q} ，当 $Q=0$ ， $\bar{Q}=1$ 时，称触发器为“0”状态；当 $Q=1$ ， $\bar{Q}=0$ 时，称触发器为“1”状态。在触发器无输入信号时，能保持其原来状态。

按触发器逻辑功能的不同，可分为基本 RS 、 D 、 JK 等各种类型。

1. 基本 RS 、 D 、 JK 触发器

(1) 基本 RS 触发器

用两个与非门构成的基本 RS 触发器，其逻辑图如图 3.12a.1 所示，逻辑功能特性见表 3.12a.1。

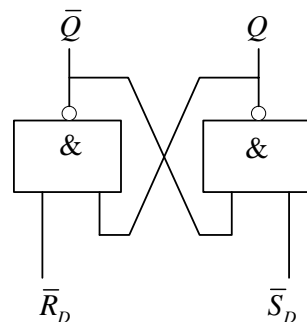


图 3.12a.1 用与非门组成的基本 RS 触发器

表 3.12a.1 基本 RS 触发器特性表

\bar{S}_D	\bar{R}_D	Q
0	0	不定
0	1	1
1	0	0
1	1	保持

(2) D 触发器

D 触发器的逻辑符号如图 3.12a.2 所示，特性见表 3.12a.2。 D 触发器的逻辑功能也可用特性方程表示，即 $Q_{n+1}=D_n$ 。

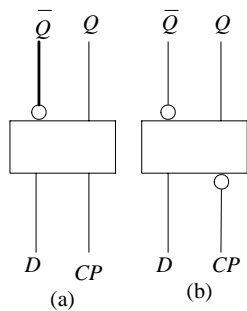


图 3.12a.2 D 触发器逻辑符号
(a) CP 上升沿触发 (b) CP 下降沿触发

表 3.12a.2 D 触发器特性表

D_n	Q_{n+1}
0	0
1	1

(3) JK 触发器

JK 触发器的逻辑符号如图 3.12a.3 所示，特性见表 3.12a.3。JK 触发器的特性方程为：

$$Q_{n+1} = J_n \overline{Q_n} + \overline{K_n} Q_n$$

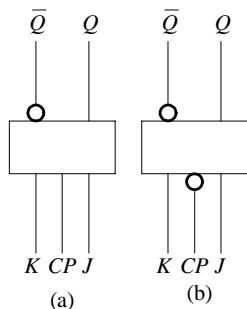


图 3.12a.3 JK 触发器逻辑符号
CP 上升沿触发 (b) CP 下降沿触发

表 3.12a.3 JK 触发器特性表

J_n	K_n	Q_{n+1}
0	0	Q_n (保持)
0	1	0(置“0”)
1	0	1 (置“1”)
1	1	$\overline{Q_n}$ (翻转)

2. 计数器

在时序逻辑电路中，计数器也是基本部件之一，而构成计数器的基本单元仍是触发器。计数器若按触发器翻转的次序可分为异步计数器和同步计数器；按计数中数目的增、减又分

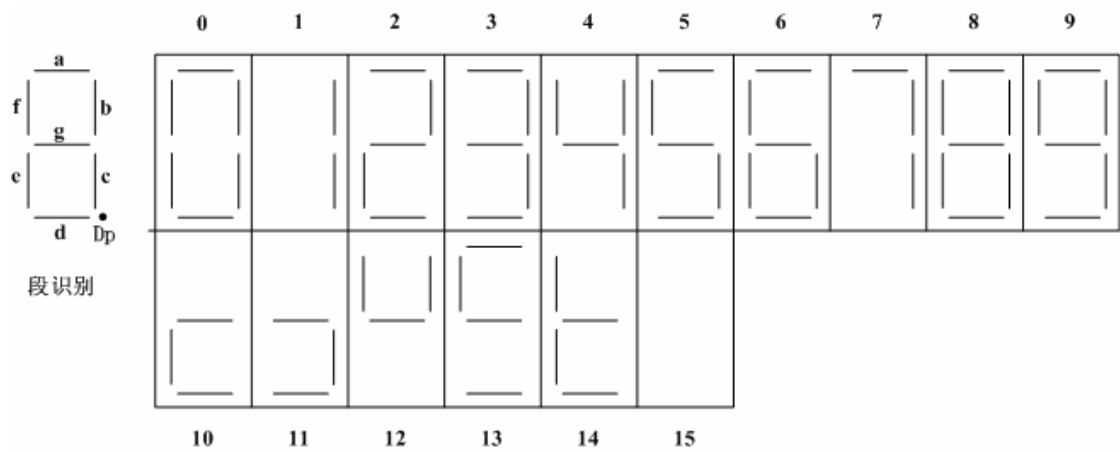
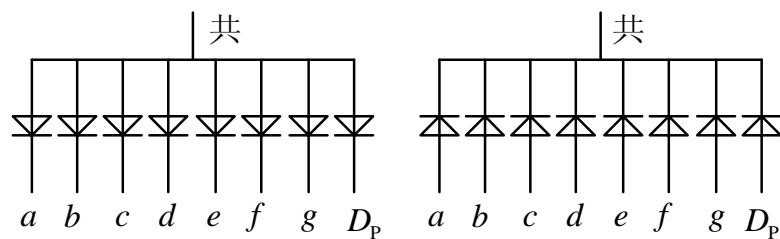


图 3.12a.7 显示十进制数的形状 (D_p 为小数点)

若要显示数字 3，则要求 a 、 b 、 c 、 d 、 g 5 段发光；若要显示数字 7，则要求 a 、 b 、 c 3 段发光。

LDD 系列发光数码管又分为共阳极和共阴极两种结构，如图 3.12a.8 所示，实际上每一发光段即为一个发光二极管。



(a)共阳极结构； (b)共阴极结构

图 3.12a.8 LDD 系列发光数码管的两种结构

根据其显示形状，则要求译码器能将每一组的 BCD 码翻译成一组显示器所要求的 7 段数字字形。若数码管采用共阳极结构的（例 LDD681），则要使某段发光，则相应的输入端应为“0”（若采用共阴极结构的 LDD680，则相应的输入端应为“1”），所以得 7 段显示译码器的真值表如表 3.12a.6 所示，根据真值表，得出每一段的逻辑表达式，然后再简化表达式，从而用门电路来构成译码电路。

表 3.12a.6 共阳极 7 段显示译码器真值表

十进制数	编 码 输 入				译 码 输 出						
	<i>D</i>	<i>C</i>	<i>B</i>	<i>A</i>	<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>	<i>e</i>	<i>f</i>	<i>g</i>
0	0	0	0	0	0	0	0	0	0	0	1
1	0	0	0	1	1	0	0	1	1	1	1
2	0	0	1	0	0	0	1	0	0	1	0
3	0	0	1	1	0	0	0	0	1	1	0
4	0	1	0	0	1	0	0	1	1	0	0
5	0	1	0	1	0	1	0	0	1	0	0
6	0	1	1	0	0	1	0	0	0	0	0
7	0	1	1	1	0	0	0	1	1	1	1
8	1	0	0	0	0	0	0	0	0	0	0
9	1	0	0	1	0	0	0	0	1	0	0
10	1	0	1	0	1	1	1	0	0	1	0
11	1	0	1	1	1	1	0	0	1	1	0
12	1	1	0	0	1	0	1	1	1	0	0
13	1	1	0	1	0	1	1	0	1	0	0
14	1	1	1	0	1	1	1	0	0	0	0
15	1	1	1	1	1	1	1	1	1	1	1

计数、译码、显示电路系统如图 3.12a.9 所示。

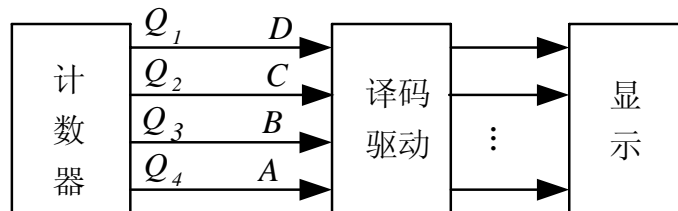


图 3.12a.9 计数、译码、显示系统

实验仪器设备

1. 数字集成电路实验板		1 块
2. 直流稳压电源	1A, 5V	1 台
3. 附加集成器件		
四 2 输入与非门	74LS00	1 块
双 <i>D</i> 触发器	74LS74	1 块
双 <i>JK</i> 触发器	74LS112	1 块
同步十进制加/减计数器	74LS190	1 块
BCD—7 段译码/驱动器	74LS247	2 块
发光二极管数码管	LDD681	2 块

实验步骤

1. 集成触发器的逻辑功能

(1) 基本 RS 触发器

用 74LS00 器件按图 3.12a.1 接线，将 \overline{R}_D 、 \overline{S}_D 端分别接至逻辑开关，输出端接至状态显示灯，改变 \overline{R}_D 、 \overline{S}_D 的状态，验证表 3.12a.1 的特性。在做“不定”状态实验时，应把 \overline{R}_D 和 \overline{S}_D 同时接在一个逻辑开关上，然后拨动此开关，反复几次，观察触发器的不定状态。

(2) D 触发器

D 触发器采用 74LS74 双 D 触发器器件，它的翻转时刻是在 CP 的上升沿，管脚如图 3.12a.10 所示。

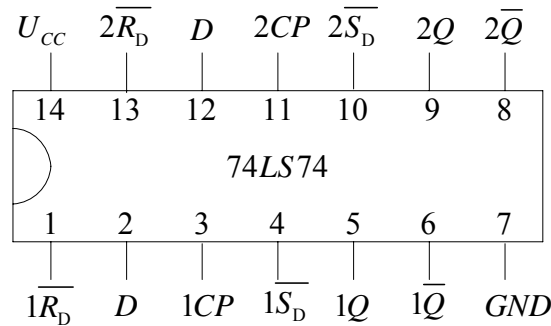


图 3.12a.10 74LS74 双 D 触发器管脚图

① D 触发器置位端 (\overline{S}_D) 和复位端 (\overline{R}_D) 功能测试

将 \overline{S}_D 端和 \overline{R}_D 端按表 3.12a.7 的要求分别接逻辑开关和按钮开关（按钮开关每按一次，输出一个负脉冲），输出端状态直接由显示灯显示，灯亮表示触发器为“1”状态，灯暗为“0”状态，将结果填入表内。

表 3.12a.7 D 触发器置位、复位端功能测试

D 触发器置位、复位端功能测试

功 能	输 入				输 出	
	CP	D	S_D	R_D	Q	\overline{Q}
置 位	×	×		1		
复 位			1			

② D 触发器逻辑功能测试

先将 D 触发器置“1”，CP 端接单脉冲发生器。平时 CP=0，然后使 D 端为“0”，观察触发器是否为“0”，再在 CP 端加触发信号（0→1）（即按下单脉冲发生器开关），观察触发器是否翻转为“0”，再在 CP 端加触发信号（1→0）（即放开单脉冲发生器开关），观察触发器是否再翻转，将结果填入表 3.12a.8 中。

将 D 触发器置“0”， CP 端接单脉冲发生器。平时 $CP=0$ ，然后使 D 端为“1”，观察触发器是否为“1”，再在 CP 端加触发信号（0→1）（即按下单脉冲发生器开关），观察触发器是否翻转为“1”，再在 CP 端加触发信号（1→0）（即放开单脉冲发生器开关），观察触发器是否再翻转，将结果填入表 3.12a.8 中。

表 3.12a.8 D 触发器功能测试

D	0			1		
Q_n (起始)	1			0		
CP	0			0		
Q_{n+1}						

(3) JK 触发器

JK 触发器采用 74LS112 双 JK 触发器器件，它的翻转时刻是在 CP 的下降沿，管脚如图 3.12a.11 所示。

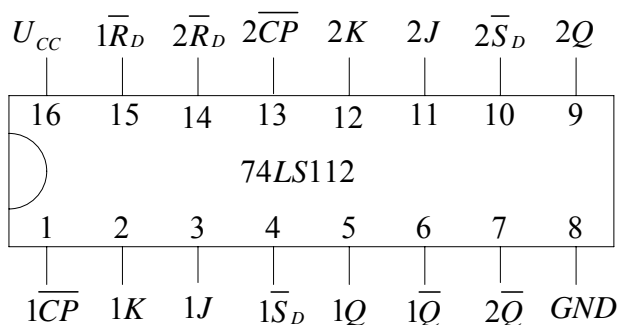


图 3.12a.11 74LS112 双 JK 触发器管脚图

将 PR 端和 CLR 端接高电平， J 、 K 端分别接逻辑开关， CP 端接单脉冲发生器。先使触发器为任意状态，然后按表 3.12a.9 要求，直接从触发器状态显示灯的亮暗读出结果填入表内。

表 3.12a.9 JK 触发器功能测试

J	1			0			0			1		
K	0			0			1			1		
CP	0			0			0			0		
Q_{n+1}												

2. 同步十进制加/减计数器

同步十进制加/减计数器采用 74LS190 器件，它可对 8421BCD 码进行加法、减法计数，它有计数使能控制输入，有级联脉动时钟输出，有预置数，禁止计数等功能（无清零功能），其管脚排列见图 3.12a.12。

3. 计数、译码、显示

计数器用 74LS190 同步十进制加/减计数器，译码器采用 74LS247 器件，它具有 BCD—7 段译码、驱动功能，配 LDD681 共阳极发光数码管。74LS247 器件的管脚图如图 3.12a.13，LDD681 管脚如图 3.12a.14。

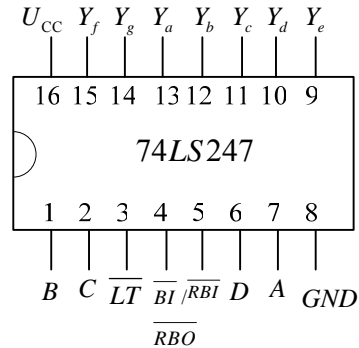


图 3.12a.13 74LS247BCD—7 段译码驱动器管脚图

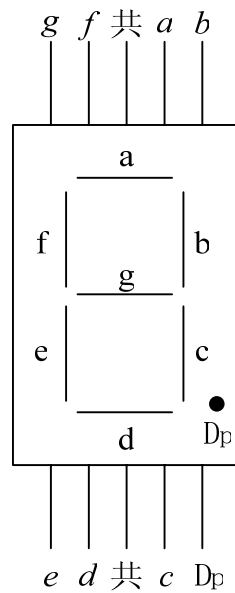


图 3.12a.14 LDD681 (680) 管脚图

74LS247 中的 A、B、C、D 为 BCD 码输入端， $Y_a \sim Y_g$ 为译码输出（LT 为灯测试端，RB 为灭灯端，在作译码使用时它们都接“1”）。

在数字集成电路实验板上，配有 74LS247 和 LDD681 数码管器件，按图 3.12a.9 接线，在实验步骤 2 的基础上，直接观察 74LS190 十进制计数器的加/减状态。

然后分别把 LT 端、RBO、RBI 端分别接“0”，观察亮灯控制端的功能。

实验报告要求

1. 列出实验数据表格，填入实验结果。
2. 74LS190 同步十进制加/减计数器在计数时，要求使能端 G 为何电平？禁止计数时 G 为何电平？

实验现象

1. 在基本 RS 触发器实验中, 若输入控制端 \bar{R}_d 和 \bar{S}_d 同时接 0, 则输出端 Q 的状态不定。
若输入控制端 \bar{R}_d 接 0、 \bar{S}_d 接 1, 输出端 Q 的状态为 0。若输入控制端 \bar{R}_d 接 1、 \bar{S}_d 接 0, 则输出端 Q 的状态为 1。若输入控制端 \bar{R}_d 和 \bar{S}_d 接 1 则输出端 Q 的状态保持不变。
2. 在 D 触发器实验中, 输出端 Q_{n+1} 的状态是在 CP 上升沿时进行翻转的。若输入端 D 接 0, 则输出端 Q_{n+1} 的状态为 0。若输入端 D 接 1, 则输出端 Q_{n+1} 的状态为 1。
3. 在 JK 触发器实验时, 输出端 Q_{n+1} 的状态是在 CP 下降沿时进行翻转的。若输入控制端 J 、 K 同时接 0, 输出端 Q_{n+1} 保持不变。若输入端 J 接 0、 K 接 1, 则输出端 Q_{n+1} 的状态为 0。若输入端 J 接 1、 K 接 0, 则输出端 Q_{n+1} 的状态为 1。若输入端 J 、 K 同时接 1, 则输出端 Q_{n+1} 的状态与 Q_n 相反。
4. 在同步十进制加/减计数器实验中, 若使能端 G 接 0、置数端接 0 时, 可实现置数功能, 即 $Q_A = A$ 、 $Q_B = B$ 、 $Q_C = C$ 、 $Q_D = D$ 。若使能端 G 接 0、置数端接 1 时, 加/减状态为 0 时, 可实现加法计数; 反之, 加/减状态为 1 时可实现减法计数。

实验结果分析

经实验测试，各种集成触发器、计数器、译码器的逻辑功能，其实验输出的结果均与理论分析的结果一致，证实了理论分析是正确的。

实验相关知识

预习要求

1. 复习基本 RS 、 D 、 JK 触发器的逻辑功能。
2. 复习同步十进制计数器的工作原理，了解 74LS190 同步十进制加/减计数器的使用方法。
3. 了解 BCD—7 段译码/驱动器的逻辑功能和使用方法。

相关知识点

触发器	E5070201
<i>RS</i> 触发器	E507020101
<i>JK</i> 触发器	E507020102
<i>D</i> 触发器	E507020103
计数器	E507020302
译码器和数字显示	E507010403

注意事项

1. 接线前先检查所用导线的好坏，是否有断线。
2. 实验中发现器件工作不正常，应请指导教师复查及更换器件。